

PAT-NO: JP355065473A

DOCUMENT-IDENTIFIER: JP 55065473 A

TITLE: NONVOLATILE SEMICONDUCTOR  
MEMORY DEVICE

PUBN-DATE: May 16, 1980

INVENTOR-INFORMATION:

NAME

SATO, NOBORU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP53139692

APPL-DATE: November 13, 1978

INT-CL (IPC): H01L029/78, G11C011/40 , H01L027/10

US-CL-CURRENT: 257/E29.309, 438/278 , 438/396 , 438/694 ,  
438/763 , 438/FOR.385  
, 438/FOR.395

## ABSTRACT:

**PURPOSE:** To make write and erase feasible at low voltage and also to prolong memory retention period by forming tungsten oxide in molecularly on the interface of  $\text{SiO}_2$  film and  $\text{Si}_3\text{N}_4$  film.

**CONSTITUTION:** Tungsten oxide is chiefly  $\text{WO}_2$  or WO or a mixture thereof. These are distributed on the interface of  $\text{SiO}_2$  film 4 and  $\text{Si}_3\text{N}_4$  film 5 at  $8 \times 10^{14} \sim 2 \times 10^{16}$  atoms/cm<sup>3</sup> or so. Tungsten oxide is strong in bonding strength with the films 4, 5, and from raising temperatures of an Si substrate 1 up to  $780 \sim 820^\circ\text{C}$  at forming the  $\text{Si}_3\text{N}_4$  film 5, a better crystallinity is obtainable for  $\text{SiO}_2$  film 4. A resistivity of the  $\text{Si}_3\text{N}_4$  film is thus improved, a stored charge is prevented from leaking to the gate terminal side, thereby prolonging a memory retention period. Further the discharge injected from the substrate 1 is caught at a large unit of the interface of the

films 4, 5 and thus prevented from being distributed in the film 5.  
Write or  
erase efficiency is therefore improved and a low-voltage  
high-speed operation  
is secured.

COPYRIGHT: (C)1980,JPO&Japio

## ⑫ 公開特許公報 (A)

昭55—65473

① Int. Cl.<sup>3</sup>

H 01 L 29/78

G 11 C 11/40

H 01 L 27/10

識別記号

1 0 1

庁内整理番号

6603—5F

7010—5B

7210—5F

④ 公開 昭和55年(1980)5月16日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 不揮発性半導体記憶装置

東京都港区芝五丁目33番1号日

本電気株式会社内

① 特 願 昭53—139692

⑦ 出 願 人 日本電気株式会社

② 出 願 昭53(1978)11月13日

東京都港区芝五丁目33番1号

③ 発 明 者 佐藤昇

⑧ 代 理 人 弁理士 井出直孝

## 明 細 書

## 1. 発明の名称

不揮発性半導体記憶装置

## 2. 特許請求の範囲

(1) シリコン半導体基板上にシリコン酸化膜およびシリコン窒化膜からなる二層絶縁層を備えた不揮発性半導体記憶装置において、上記シリコン酸化膜と上記シリコン窒化膜との界面に酸化タンゲステンが分子状に形成された構造を特徴とする不揮発性半導体記憶装置。

## 3. 発明の詳細な説明

本発明はシリコン半導体基板上にシリコン酸化膜およびシリコン窒化膜からなる二層絶縁層を備えた構造(以下「MNOB」(Metal—Silicon Nitride—Silicon Oxide—Silicon)という。)の半導体記憶装置の改良に関する。

近年、絶縁ゲート電界効果トランジスタ(IGFET)のチャンネル上のゲート絶縁膜中で、電

荷を捕獲単位に蓄積することにより生じる閾値変化を利用した半導体記憶装置が開発されている。MNOB構造による半導体装置もこの一種であつて、ゲート電極と基板間、あるいはゲート電極とチャンネル間に、電圧を加えることにより捕獲電荷の極性または量が変わる絶縁ゲート電界効果不揮発性メモリトランジスタを備えている。

従来のMNOB構造の半導体記憶装置では、シリコン酸化膜を60～70 Å程度に形成し、シリコン窒化膜を450 Å程度に形成して、その界面の捕獲単位を利用して、エレクトロンやホールを蓄積するよう構成されている。しかしシリコン窒化膜自体には多くの捕獲単位があるため、電荷は上記界面のみに蓄積されず、シリコン窒化膜の奥深い捕獲単位にまで入り込み、蓄積電荷のピークがシリコン窒化膜中に現われることがある。この場合には、シリコン基板とゲート電極間に消去電圧を印加すると、蓄積電荷に加わる電界は蓄積電荷のピークが二層絶縁膜の界面にある場合より弱くなり、蓄積電荷がシリコン基板に戻りにくくなる。

従つて一定の消去電圧では十分に消去できなくなる。

これを改良するため、二層絶縁膜の界面にタングステン原子を挿入する技術が開発された。これによれば、界面の捕獲準位が大きくなり、電荷がシリコン酸化膜に奥深く入る前に、この界面で蓄積されることになる。従つて消去効率は非常に良くなる。しかしシリコン酸化膜はタングステンとの結合力が弱く、シリコン酸化膜の結晶性も悪くなつて、蓄積電荷がゲート電極側にリークする現象が生じることがある。これは不揮発性記憶素子としては望ましくない。

本発明はこれを改良するもので、界面の捕獲準位を大きくするとともに、蓄積電荷がゲート電極側にリークすることのない装置であつて、低電圧書き込みおよび消去を可能とし、記憶保持時間の長い装置を提供することを目的とする。

本発明は、シリコン酸化膜とシリコン窒化膜との界面に酸化タングステンが分子状に形成された構造を特徴とする。

## 3

ホールの場合にも実施することができる。

次に実施例図面により説明する。

図は、本発明実施例のM N O B構造半導体装置の断面構造図である。図で、1はシリコン基板、2はソース電極、3はドレイン電極を示す。4はシリコン酸化膜、5はシリコン窒化膜である。6はアルミニウムのゲート電極である。シリコン酸化膜4とシリコン窒化膜5との間に、酸化タングステン7が分子状に配層形成されている状態を示す。酸化タングステン7の密度は $1 \times 10^{15}$  atm/cm程度である。

この例では酸化タングステン原子が、シリコン窒化膜あるいはシリコン酸化膜の膜質を低減させることなく、良好な結果が得られた。情報の記憶保持時間が長くなり、優れた不揮発性記憶装置が得られることがわかつた。この構造によれば、記憶保持時間が10年程度の装置を得ることも可能と考えられる。

ここに酸化タングステンとは主として $W O_3$ であり、または $W O_2$ もしくは $W O$ またはこれらの2以上の混合物である。また分子状とは、 $1 \times 10^{14} \sim 1 \times 10^{16}$  atm/cm、好ましくは $8 \times 10^{14} \sim 2 \times 10^{15}$  atm/cmの分布状態をいう。

酸化タングstenはシリコン酸化膜およびシリコン窒化膜との結合力が大きいので、前述の欠点は大きく改善される。シリコン窒化膜を形成する段階で、シリコン基板の温度を780～820℃程度に上げると、シリコン酸化膜の結晶性を良くすることができる。これによりシリコン窒化膜の抵抗率が高くなり、蓄積電荷がゲート電極側へリークすることがなくなり、記憶時間が長くなる。また、シリコン基板から注入される電荷は、シリコン酸化膜とシリコン窒化膜との界面にある大きな捕獲準位で捕獲され、シリコン窒化膜の中に分布するようことが防止される。従つて書き込みあるいは消去効率がよくなり、低電圧動作および高速動作が可能となる。

本発明は蓄積電荷がエレクトロンの場合にも、

## 4

## 4 図面の簡単な説明

図は本発明実施例半導体装置の構造を示す断面図。

1…シリコン基板、2…ソース、3…ドレイン、4…シリコン酸化膜、5…シリコン窒化膜、6…アルミニウムゲート電極、7…酸化タングステン。

特許出願人 日本電気株式会社

代理人 弁理士 井 出 直 孝

